**实验4 外接RAM接口设计**

1. 实验目的

学习数字系统模块分割，掌握外接存储器接口技术。学会进行设计激励文件。

1. 实验背景

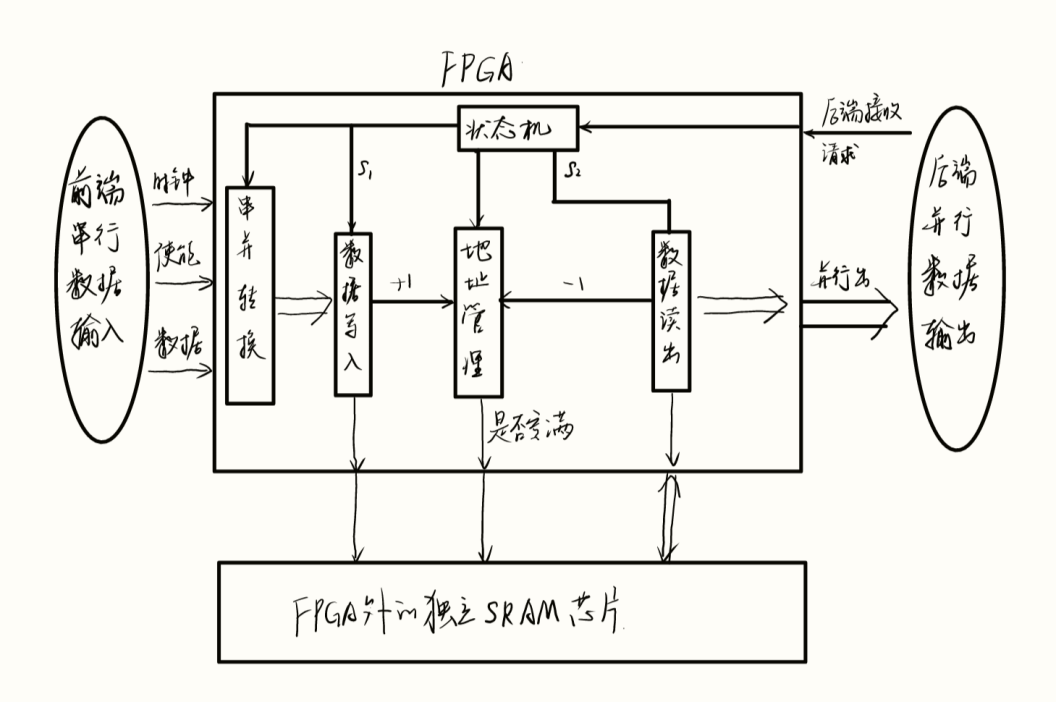
在数字系统中，一般存在多个芯片，利用不同的特点用于实现不同的功能，一般都包含CPU,FPGA,AD,DA,memory，ASSP（专用标准模块）,ASIC等。CPU用于进行智能控制，FPGA进行硬件算法处理和多设备接口，AD进行模数转换，DA进行数模转换，memory存储临时数据。因此，FPGA如何与其他芯片进行通讯是重要的设计内容。

数据输入，数据输出，双向通讯，指令传递，地址管理，不同时钟的异步通讯问题等等都需要处理。最基本的MEMORY如SRAM(128KX8bbit静态存储器628128)涉及到其中的输入，输出，双向通讯，地址管理问题，具有很强的代表性。在同步数字系统中更大量用到FIFO,SDRAM等等。其中FIFO使用方便简单，用处很广。在QUARTUSII软件库中，就有各种FPGA片内MEMORY供使用。但是FPGA的片内MEMORY容量太有限，因此外部MEMORY也是经常需要的。因此，本实验让大家学习控制芯片外部的MEMORY,为与其他智能设备的通讯学习打下基础。

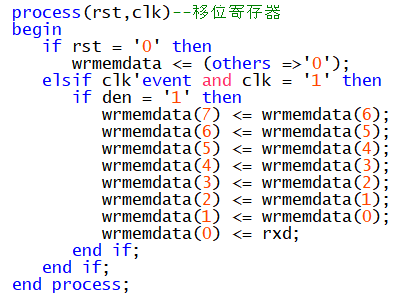
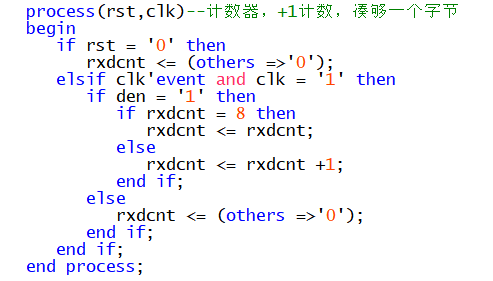
1. 实验步骤

熟悉并仿真存储器通讯核心代码

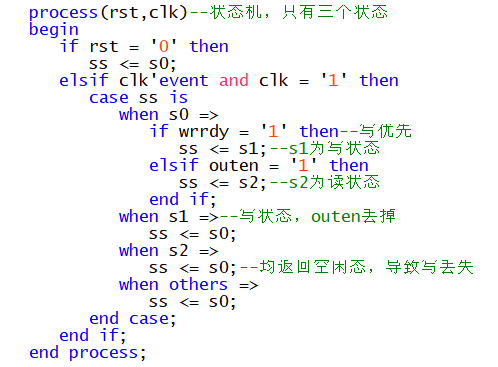
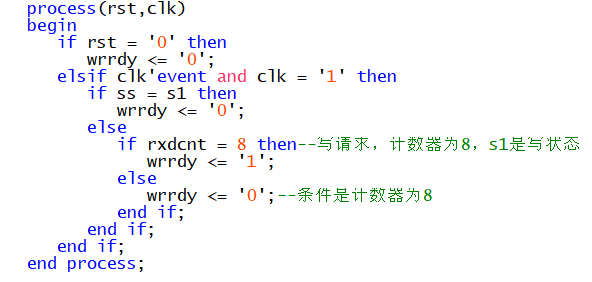
首先根据代码外围输入输出信号和代码结构得到如下框图：



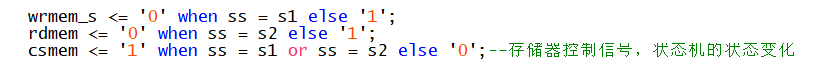
分析不同的代码模块：

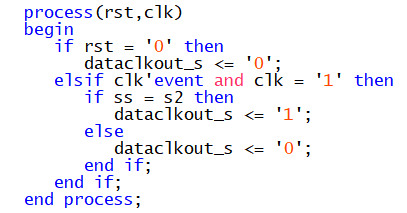
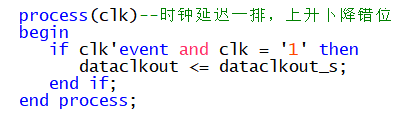
以上两个模块分别为移位寄存器和模8加一计数器。

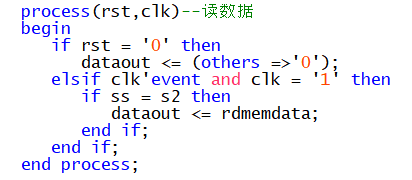
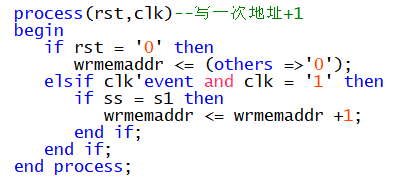
以上两个模块描述了状态机。

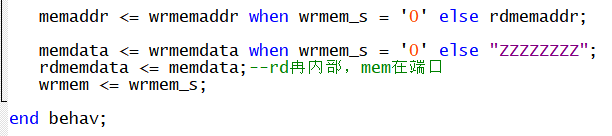
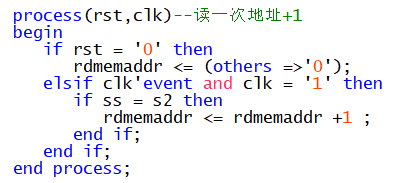


中间三句表明了控制读写的状态机。

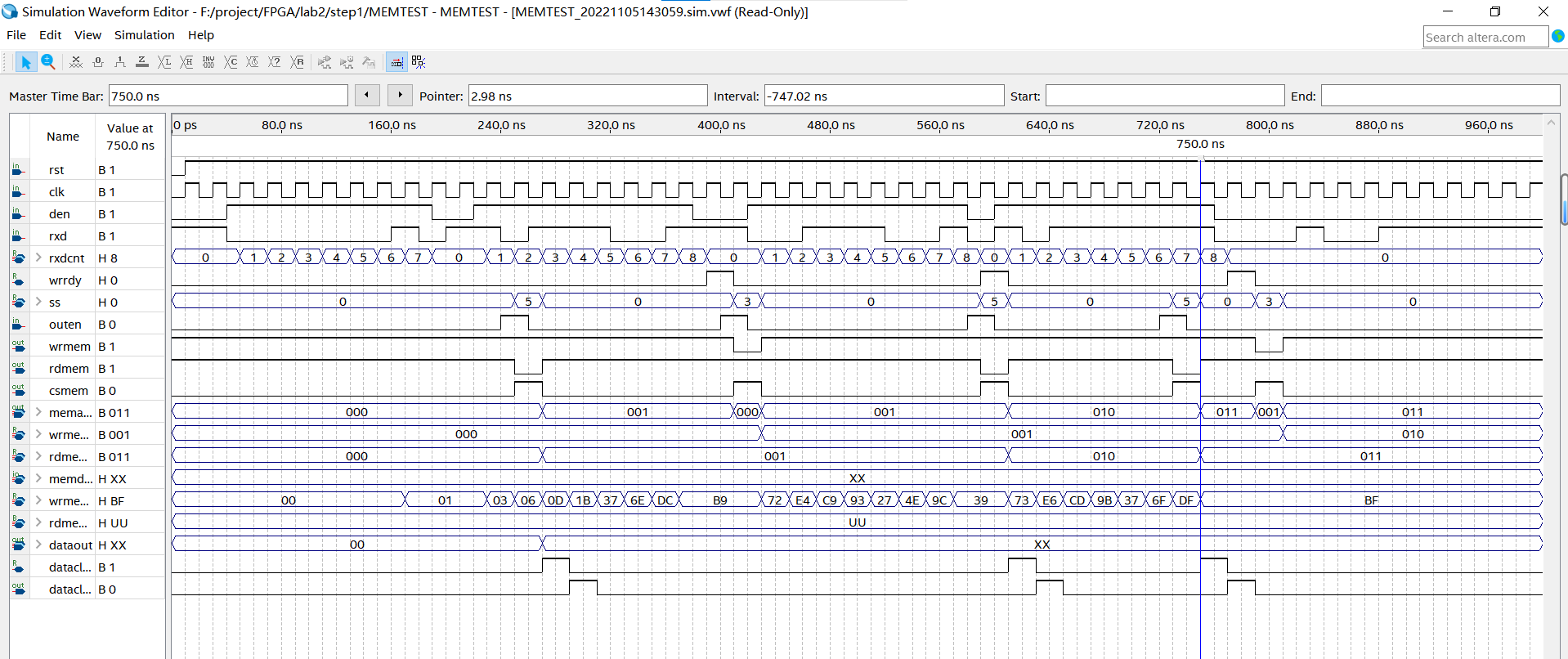
以上两个模块分别为：并行输出需要时钟信号，因此生成时钟；将时钟延迟一排，使上升下降沿错位。

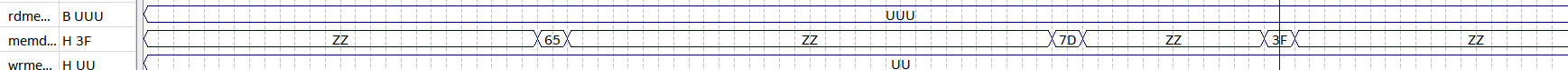


最后四部分为地址管理以及输出信号控制。

仿真结果如下：

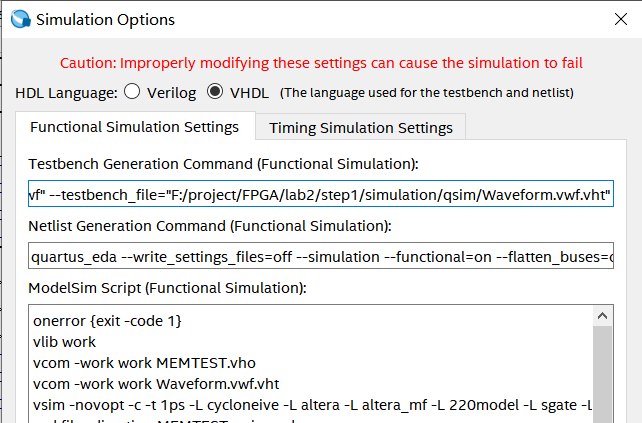


由于memdata为XX不确定，在rdmem又消失给其赋值可以给输出dataout有确定的值，例如：

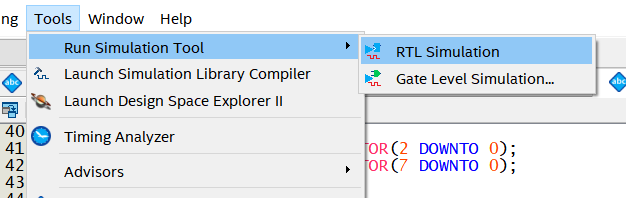


对应好有效时间即可。

编写激励仿真文件。



在该文件夹出找到后缀为.vht的文件，将其另存为.vhd文件并打开，可以看到该代码实际是对仿真波形设置的vhdl语言描述。



打开后，点击i1可以添加要观察的变量波形。拖动光标可以查看不同时刻的值。

